

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06132667 A**

(43) Date of publication of application: **13 . 05 . 94**

(51) Int. Cl.

H05K 3/46

(21) Application number: **04282661**

(22) Date of filing: **21 . 10 . 92**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **HORIO YASUHIKO
SOGO HIROSHI
KAWAKITA KOJI
HATAKEYAMA AKIHITO**

(54) **CIRCUIT BOARD AND FORMATION THEREOF**

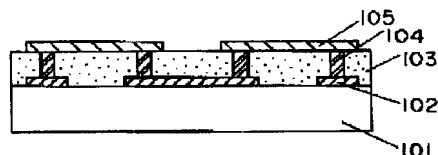
be used.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To allow the manufacture of a double substrate to a multilayer substrate that allows heat dissipation improvement and cost reduction by connecting a circuit conductor on a ceramic substrate with a copper foil layer by an inner via hole through conductive paste buried in a hole on a layer insulating base material.

CONSTITUTION: Inner via hole connection uses the compressibility of layer insulating base material 103 and metallic grains contained in conductive paste 104 are heated and pressurized so as to be plastically deformed. When the layer insulating base material 103 compresses when it is heated and pressurized, various types of prepreg can be used, however, in this case, composite material of porous aromatic polyamide fiber and thermohardening resin is preferable. The conductive paste 104 is formed by dispersing the metallic grains in solventless thermohardening resin. As for the metallic grains, sphere-shaped grains that plastically deform by heat and pressure are preferable and as for the material, gold or silver or copper or lead or tin or alloy whose major ingredient is such can



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-132667

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	N	6921-4E		
	H	6921-4E		
	T	6921-4E		

審査請求 未請求 請求項の数5(全 5 頁)

(21)出願番号	特願平4-282661	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成4年(1992)10月21日	(72)発明者	堀尾 泰彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	十河 寛 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	川北 晃司 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	弁理士 小鍛冶 明 (外2名) 最終頁に続く

(54)【発明の名称】 回路基板およびその形成方法

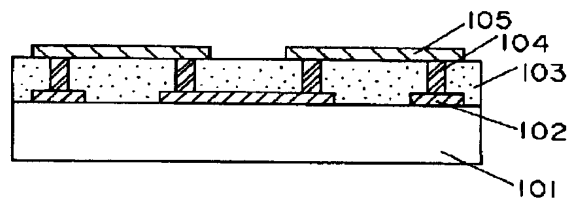
(57)【要約】

【目的】 放熱性に優れた低コストのインナ・ウ・アイア・ホール基板を得ることを目的とする。

【構成】 出発基材が多孔質の層間絶縁基材を挟んで、セラミック基板上の回路導体と銅箔層とが層間絶縁基材の孔部に埋設した導電性ペーストを介してインナ・ウ・アイア・ホール接続した回路基板。

【効果】 スルホールメッキ技術を用いることなく放熱性に優れた低コストのインナ・ウ・アイア・ホールを備えた回路基板を実現することができる。

101 セラミック基板
102 回路導体
103 層間絶縁基材
104 導電性ペースト
105 銅箔層



【特許請求の範囲】

【請求項 1】層間絶縁基材を挟んでセラミック基板上の回路導体層と銅箔層とが層間絶縁基材の孔部に埋設した導電性ペーストを介してインナ・ウ・アイア・ホール接続してあることを特徴とする回路基板。

【請求項 2】層間絶縁基材を芳香族ポリアミド繊維と熱硬化性樹脂の複合材とする請求項 1 記載の回路基板。

【請求項 3】回路導体層を備えたセラミック基板の片面もしくは両面に層間絶縁基材と銅箔層を交互に複数に積層し、前記層間絶縁基材の孔部に埋設した導電性ペーストを介して前記回路導体層と金属箔層および、前記金属箔層間の相互がインナ・ウ・アイア・ホール接続してあることを特徴とする多層基板。

【請求項 4】層間絶縁基材を芳香族ポリアミド繊維と熱硬化性樹脂の複合材とする請求項 3 記載の多層基板。

【請求項 5】層間絶縁基材の孔部に埋設した導電性ペーストに含まれる金属粒子が球状で、積層時の加熱加圧によって金属粒子を塑性変形し、セラミック基板上の回路導体層と金属箔とがインナ・ウ・アイア・ホール接続してある回路基板の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電子機器に用いる回路基板およびその形成方法並びにそれを用いた多層基板に関するものである。

【0002】

【従来の技術】近年、電子機器回路の高性能化・小型化に伴い、回路基板には高密度化と高放熱性が求められている。回路基板において、従来は、層間の電気的接続はスルーホールメッキが一般的である。セラミック多層基板においてはインナ・ウ・アイア・ホール接続が可能であり、高密度化が図れ放熱性にも優れることは知られていた。しかし、セラミックはコストが高く、樹脂基板（例えば、ガラスエポキシ基板）のように広く使用されるには至っていない。一方、樹脂基板において一般的なスルーホールメッキによる接続は積層基材の両面の導体（銅箔をパターン状に形成したもの）を電気的に結合するものである、この方法ではメッキ法を用いているので層間内部での任意の接続が困難であり、基板の上下面に貫通孔が存在する。

【0003】

【発明が解決しようとする課題】そのために複雑な回路（ネット数の多いあるいは規模の大きい回路）を小型化しようとする場合はスルーホールが非常に多くなり、小型化が出来ず放熱性にも問題があった。セラミック基板の場合はこの問題は解決出来ていたが、前述したように製造コストが高くつく問題があった。本発明は上記問題点に鑑みてなされたものであり、その目的とする所はインナ・ウ・アイア・ホールによる電極層間の電気的接続を容易に行うことが出来、さらには放熱性の向上と低コスト

ト化が可能な両面基板から多層基板までを得ることにある。

【0004】

【課題を解決するための手段】本発明は上記問題点を解決するため、層間絶縁基材の孔部に埋設した導電性ペーストを介してセラミック基板上の回路導体と銅箔層とをインナ・ウ・アイア・ホールによる接続を実現しようとするものである。なお、本発明におけるインナ・ウ・アイア・ホールとは、導体間を内層で接続するための孔をさす。

【0005】

【作用】本発明の上記した方法によれば、スルーホールメッキを用いることなく放熱性に優れた低コストのインナ・ウ・アイア・ホールを備えた両面基板および多層基板を形成することが可能である。

【0006】

【実施例】以下、本発明の一実施例の回路基板およびその形成方法並びにそれを用いた多層基板について図面に基づき詳細に説明する。

【0007】図 1 は本発明の回路基板の一実施例の構造断面図である。本発明の回路基板はセラミック基板 101、基板上的回路導体 102、および層間絶縁基材 103、導電性ペースト 104、銅箔層 105（図の場合は加工後の銅箔）、とからなっている。セラミック基板 101 には厚膜 IC 用の各種基板材料の使用が可能であるが、放熱性やコストの点からアルミナが好ましい。また、基板上的回路導体 102 は厚膜導体が一般的であるが、必要に応じて薄膜や各種の材料、工法の選択が可能である。

【0008】次に、本発明のインナ・ウ・アイア・ホール接続では層間絶縁基材 103 の圧縮性を利用し、導電性ペースト 104 に含まれる金属粒子が加熱加圧されて塑性変形する。従って層間絶縁基材 103 は加熱加圧されて圧縮する性質を備えていれば各種の積層材（プリプレグ）の使用が可能であるが、多孔質の芳香族ポリアミド繊維と熱硬化性樹脂の複合材が好ましい。導電性ペースト 104 は無溶剤の熱硬化性樹脂に金属粒子を分散させたもので、金属粒子としては形状が球形で、加熱加圧されて塑性変形するものが好ましく、材質としては金、銀、銅、鉛、錫の単体およびこれらを主成分とする合金の使用が可能である。

【0009】図 2 は本発明の回路基板の形成方法の工程図である。図 2（a）においてセラミック基板 101 上の回路導体 102 は公知の厚膜技術を用いて形成してある。

【0010】層間絶縁基材 103 はシート状のプリプレグである。このプリプレグに貫通孔 106 をあける。一般にはドリルがよく使われるが、材料によってはレーザーで加工することも可能である。図 2（b）はプリプレグに開けた貫通孔にメタルマスク等を用いて導電性ペース

3

ト104を充填した状態を示している。図2(c)は図2(b)上に銅箔を張り合わせた状態を示している。図2(d)は、図2(c)に加熱加圧を加えた状態を示している。プリプレグは圧縮されて厚みが薄くなり、且、樹脂が硬化している。同時に、導電性ペースト104に含まれる金属粒子が塑性変形して回路導体102と銅箔105間の電氣的接続の役割を果たす。図2(e)は表面の銅箔を加工(エッチング等)して配線パターンを形成した後の状態を示している。加工後の銅箔105は回路導体となる。

【0011】図3は上記に述べた回路基板の形成方法をくり返し用いて得ることが出来る多層基板の構造断面図を示している。図2(e)で得た銅箔105からなる配線パターン上に最外層を構成する第2の層間絶縁基材203、導電性ペースト204、銅箔205をそれぞれに配してセラミック基板の片側の面上に3層の導体層を構成してある。

【0012】図3の多層基板の構成において、導体層はセラミック基板の片面に形成してあるが、これに限定するものではなく、スルホールを介してその両面に回路導体を備えたセラミック基板を用い、その両面に多層化して構成できることは容易にわかる。この場合、スルホールの貫通孔は前もって埋めておいたほうがよい。

【0013】(実施例1)本発明の第1の実施例では図1に示すようにベースとなるセラミック回路基板は、0.63mmの厚さのアルミナ板上に銀・パラジウムの回路導体を形成した。回路導体上のプリプレグとしては200 μ mの厚みのアラミドエポキシシート(帝人(株)製TA-01)を使用しドリルを用いてこの基材に0.2mmの貫通孔を形成した。

【0014】この貫通孔に、金属粒子として平均粒径が2 μ mの球状の銀パウダーを無溶剤のエポキシ樹脂(エポキシテクノロジー社製エポテック301)に分散させた導電性ペーストを充填した後、銅箔をプリプレグの上面に張り合わせ、これを熱プレスを用いてプレス温度170℃、圧力10~50kg/cm²で60分間加熱加圧して銅箔層を形成した。以上のような方法を用いて形成した銅箔層を公知のエッチング技術を用いて電極パターンを形成した。

【0015】図4に銀の導電性ペーストを用いたときの、インナ・ウ・ファイア・ホールの接続抵抗値と、層間絶縁基材の圧縮率の関係を示す。層間絶縁基材が加熱加圧され、導電性ペーストに含まれる金属粒子が塑性変形

4

してその圧縮率が30%以上になると安定な電氣的接続がなされる。

【0016】(実施例2)接続抵抗を測定するためのパターンが形成されている実施例1の回路基板の電極パターン上に、電極の位置に直径0.2mmの貫通孔を備えたアラミドエポキシシートを重ね合わせ、貫通孔に銀の導電性ペーストを充填した後、銅箔をプリプレグの上面に張り合わせ、これを熱プレスを用いてプレス温度170℃、圧力60kg/cm²で60分間加熱加圧して積層し、銅箔層をエッチングして3層の回路基板を形成した。

【0017】4層基板の2、3層間に形成されたインナ・ウ・ファイア・ホールの接続抵抗は、実施例1と同様に積層基材が圧縮されて導電性ペーストに含まれる金属粒子が塑性変形し、上下の銅箔間の安定な電氣的接続がなされた。

【0018】

【発明の効果】以上説明したように、本発明の回路基板とその形成方法およびそれを用いた多層基板によれば、スルホールメッキ技術を用いることなく放熱性に優れた低コストのインナ・ウ・ファイア・ホールを備えた回路基板を実現することができ、その多層化も容易に実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例における回路基板を示す構造断面図

【図2】本発明の実施例における回路基板の形成方法の工程図

【図3】本発明の実施例における多層基板を示す構造断面図

【図4】本発明の実施例における回路基板に銀の導電性ペーストを用いた時の、インナ・ウ・ファイア・ホールの接続抵抗値と、積層基材の圧縮率の関係を示す図

【符号の説明】

101 セラミック基板

102 回路導体

103 層間絶縁基材

104 導電性ペースト

105 銅箔層

106 貫通孔

203 第2の層間絶縁基材

204 第2の導電性ペースト

205 第2の銅箔層

10

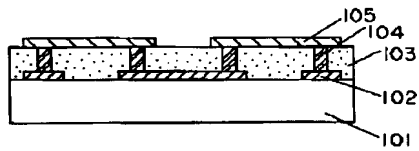
20

30

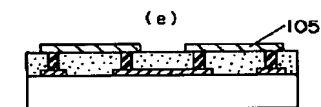
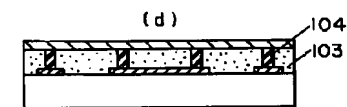
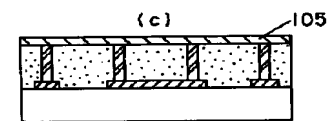
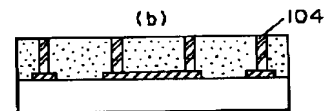
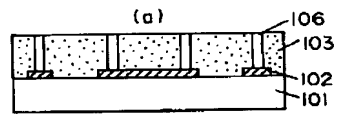
40

【図1】

- 101 セラミック基板
 102 回路導体
 103 層間絶縁基材
 104 導電性ペースト
 105 銅箔層

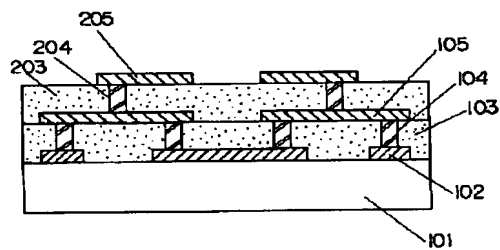


【図2】

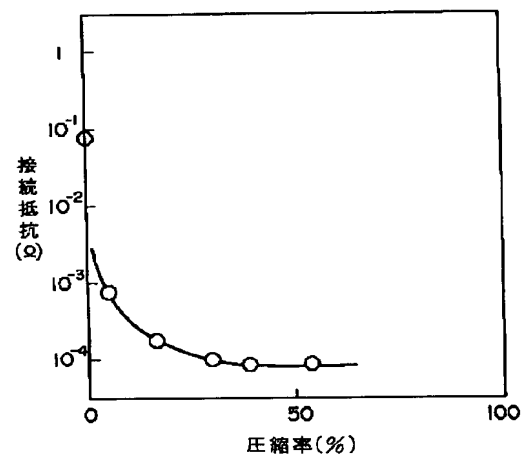


【図3】

- 203 第2の層間絶縁基材
 204 第2の導電性ペースト
 205 第2の銅箔層



【図4】



フロントページの続き

(72)発明者 畠山 秋仁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内